

BEST AVAILABLE COPY
PATENT ABSTRACTS OF JAPAN

(11) Publication number : 01-298600

(43) Date of publication of application : 01.12.1989

(51) Int.CI.

G11C 17/00

(21) Application number : 63-129156

(71) Applicant : TOSHIBA CORP

(22) Date of filing : 26.05.1988

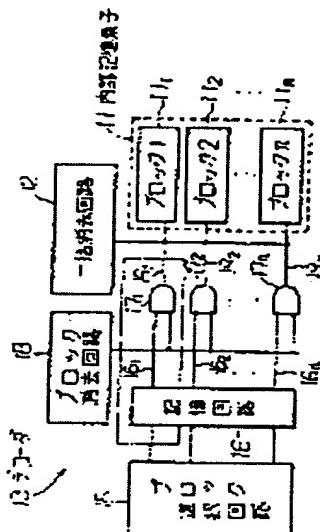
(72) Inventor : MURAKAMI HIROAKI
SAITO SHINJI

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: To efficiently and rapidly rewrite a part of areas in an inner storage element by providing the title device with a storage circuit for selecting the optional number of blocks to be erased and a block erasing circuit for applying a block erasing signal to the selected blocks.

CONSTITUTION: The storage area of the inner storage element 11 is divided into n blocks 111W11n and a batch erasing circuit 12 is connected to these blocks. In addition, a decoder circuit 13 is connected to the blocks 111W11n to decode an address signal applied from the external, select optional one or plural blocks out of the blocks 111W11n and collectively erase the contents of all the selected blocks. A storage circuit 16 changes its state by a block selection signal outputted from a block selection circuit 15, determines the block to which a signal is applied and impress a block erasing signal only to the determined block. Thereby succeeding writing is executed only in the erased blocks, so that the erasing and writing time can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平1-298600

⑫ Int. Cl.

G 11 C 17/00

識別記号

309

庁内整理番号

C-7341-5B

⑬ 公開 平成1年(1989)12月1日

審査請求 有 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特願 昭63-129156

⑯ 出願 昭63(1988)5月26日

⑰ 発明者 村上 浩明 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑰ 発明者 斎藤 伸二 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 佐藤 一雄 外2名

明細書

1. 発明の名称

半導体記憶装置

ロック選択信号に基づいて状態を変化させ、プロック消去回路からのロック消去信号をどのプロックに加えるかを決めるものであることを特徴とする請求項1記載の半導体記憶装置。

2. 特許請求の範囲

1. 電気的に書き込み及び消去可能な不揮発性内部記憶素子を有する半導体記憶装置において、

前記内部記憶素子は、互いに独立的に書き込み及び消去可能な複数のプロックに分割されたものであり、さらに、

前記プロックのうちの消去すべき任意数のプロックを選択するプロック選択信号を出力するプロック選択回路と、

前記プロック選択信号を記憶して、前記消去すべき任意数のプロックを選択する記憶回路と、

前記選択されたプロックに対してプロック消去信号を加えるプロック消去回路と、

を備えることを特徴とする半導体記憶装置。

2. 記憶回路は、プロック選択回路からのブ

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体記憶装置に関する。

(従来の技術)

電気的に書き込み及び消去可能な内部記憶素子を有する不揮発性半導体記憶装置の一例を第5図に示す。内部記憶素子(セル)1には読み出し回路2、書き込み回路3及び消去回路4が接続されている。これらの各回路2~4によって、読み出し、書き込み及び消去が行われる。その消去回路4による消去方法としては、

① 索引の記憶領域毎に消去する第1の方法。

② 索引の全ての記憶領域を一括して消去する第2の方法。

の2通りの方法があった。

(発明が解決しようとする課題)

上記従来の第1及び第2の2通りの電気的消去方法には、それぞれ次のような問題点があった。即ち、

a. 前記第1の方法には、素子の記憶領域が多いと消去時間が長くなるという問題がある。しかも、それらの領域が多くなると、それについて消去時間もさらに長くなるという問題がある。

b. 前記第2の方法には、その方法を、素子のデータの書き換えを素子のうちの一部分の領域について行う場合について採用した場合には、消去は一括的に行えるものの、その後に全ての領域について再度書き込みを行わなければならず、その全ての領域についての書き込みには多大の時間がかかるという問題がある。

本発明は、上記に鑑みてなされたもので、その目的は、内部記憶素子の一部の領域についての書き換えを短時間で効率良く行うことのできる半導体

記憶装置を提供することにある。

(課題を解決するための手段)

本発明の半導体記憶装置は、電気的に書き込み及び消去可能な不揮発性内部記憶素子を有する半導体記憶装置において、前記内部記憶素子は、互いに独立的に書き込み及び消去可能な複数のブロックに分割されたものであり、さらに、前記ブロックのうちの消去すべき任意数のブロックを選択するブロック選択信号を出力するブロック選択回路と、前記ブロック選択信号を記憶して、前記消去すべき任意数のブロックを選択する記憶回路と、前記選択されたブロックに対してブロック消去信号を加えるブロック消去回路と、を備えるものとして構成される。

さらに、記憶回路は、ブロック選択回路からのブロック選択信号に基づいて状態を変化させ、ブロック消去回路からのブロック消去信号をどのブロックに加えるかを決めるものとして構成される。

(作用)

内部記憶素子は、互いに独立的に書き込み及び消

去可能な複数のブロックに分割されている。これらのブロックのうち消去すべき任意数のブロックを選択するブロック選択信号がブロック選択回路から出力される。そのブロック選択信号が記憶回路に記憶され、任意数のブロックが選択される。選択されたブロックに対してブロック消去信号がブロック消去回路によって印加される。即ち、記憶回路はブロック選択回路からのブロック選択信号によって状態を変化させ、どのブロックに加えるかを決め、決めたブロックのみに対してブロック消去信号を印加する。それにより、選択された任意数のブロックのみの消去が行われる。よって、今後の書き込みは、消去したブロックについて行えばよい。これにより、消去及び書き込みの時間が短縮される。

(実施例)

第1図は、本発明の一実施例の全体構成図である。同図において、11は内部記憶素子である。その素子11においては、素子の記憶領域がn個

のブロック $11_1 \sim 11_n$ に分割されている。これらのブロック $11_1 \sim 11_n$ には一括消去回路12が接続されている。その一括消去回路12からの消去信号により、全てのブロック $11_1 \sim 11_n$ の内容が一括して消去される。

さらに、ブロック $11_1 \sim 11_n$ にはデコーダ回路13が接続されている。そのデコーダ回路13は、外部から加えられるアドレス信号をデコードしてブロック $11_1 \sim 11_n$ のうちの任意のものを1又は複数選び、選んだ全てのブロックの内容を一括的に消去するように構成されている。即ち、デコーダ回路13はブロック選択回路15を行する。そのブロック選択回路15は、外部から加えられるアドレス信号をデコードして次段の不揮発性の記憶回路16に加える。記憶回路16は、ブロック選択回路15から加えられる信号を記憶し、その信号に応じて第1出力線 $16_1 \sim 16_n$ の任意の1又は複数のものに第1出力を出力する。第1出力は次のANDゲート17 $_1 \sim$

特開平1-298600 (3)

17_n の任意のものの一方の入力端子に加えられる。それらのANDゲート $17_1 \sim 17_n$ の他の入力端子には、ブロック消去回路 18 からのブロック消去信号が加えられる。これにより、ANDゲート $17_1 \sim 17_n$ のうちの第1出力が加えられているものの第2出力線 $19_1 \sim 19_n$ に第2出力(消去電圧)が出力される。第2出力は第2出力線 $19_1 \sim 19_n$ を通じてブロック $11_1 \sim 11_n$ に加えられる。ブロック $11_1 \sim 11_n$ のうちの第2出力の加えられた任意数のブロックの内容が一括的に消去される。

第2図は、第1図の記録部分の一具体例を示す回路図である。第2図からわかるように、記憶回路 16 は複数の不揮発性素子 16_a を備えたものとして構成されている。さらに、この第2図においては、ANDゲート 17_1 として増幅器 21 を用い、ブロック選択回路 15 からの出力と消去電圧 V_{EP} とのアンドがされたときに前記第2出力が得られるよう構成している。そして、その不揮発性素子 16_a が書き込まれずに導通状態にある場

ると、EPROM 16_{a1} は非導通状態にあることから、その消去電圧 V_{EP} はそのままブロック 11_1 に加えられ、消去が行われる。これに対し、他のEPROMは導通状態にあることから消去電圧 V_{EP} は抵抗 R で降下して他のブロック $11_2 \sim 11_n$ には印加されず、消去は行われない。従って、消去したいブロック ($11_1 \sim 11_n$) に対するEPROMに予め書き込みをしておけば、消去したいブロックのみの消去を一括的に行なうことができる。EPROMの書き込みの消去は、紫外線の照射によって行われる。

ただし、紫外線を通さないようにパッケージングした場合のように紫外線の照射によって消去が不可能な場合には、EPROMに代えてEEPROMを用いればよい。第4図は、その場合の一例を示すものである。EEPROM 26_{a1} の消去は、リセット信号出力回路 26_b から出力されるリセット信号によって電気的に行なわれる。

このようにして、内部記憶素子 11 中の特定の任意数のブロックが一括して消去される。この後

には消去電圧 V_{EP} (第2出力) が第2出力線 19_1 から出力されない。また、その不揮発性素子 16_a が書き込みにより非導通状態にある場合には消去電圧 V_{EP} が第2出力線 19_1 から第2出力として出力され、ブロック 11_1 が消去される。よって、ブロック $11_1 \sim 11_n$ のうちの消去しようとするブロックに対応する不揮発性素子 16_a に書きめばそれらの消去しようとするブロックの一括消去が可能である。

第3図は、第2図の不揮発性素子 16_a としてEPROM 16_{a1} を有するものを用いた場合のものを示す。ブロック 11_1 のみを選択するには、全てのEPROMのうちEPROM 16_{a1} のみに書き込み(ホットエレクトロンのホットエレクトロンへの注入)を行う。これにより、通常の消去電圧 V_{cc} の印加時には、EPROM 16_{a1} のみが非導通状態になり、その他のEPROM(図示せず)は導通状態にある。この状態において、ブロック消去回路 18 から消去電圧 V_{EP} を出力させ

は、消去したブロックについてのみ書き込みを行えばよい。

上記実施例によれば以下の効果が得られる。

(1) 前記従来技術①の問題点aの改善

従来技術①によれば、素子の記憶領域数に比例して消去時間が長くなる。しかしながら、上記実施例によれば、消去すべき記憶領域を一括して消去するようにしたので、その分消去時間が短縮できる。

(2) 前記従来技術②の問題点bの改善

従来技術②によれば、素子の記憶領域の書き換えを一部のものについて行なう場合でも、全ての記憶領域を消去しなければならず、その全ての領域について書き込みを行う必要があった。しかしながら、上記実施例によれば、消去した記憶領域についてのみ書き込みを行えばよく、書き込み時間の短縮になる。

【発明の効果】

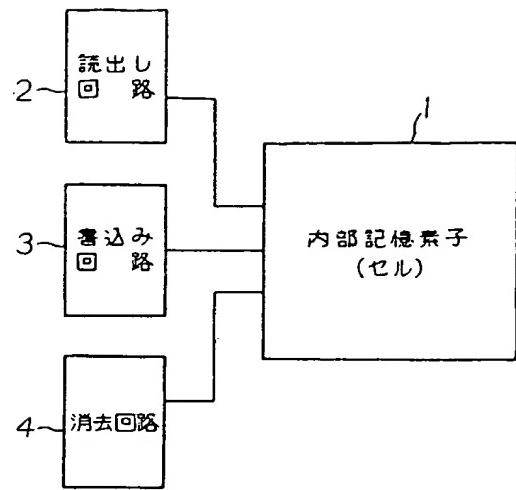
本発明によれば、内部記憶素子を複数のブロックに分け、それらのブロックのうちの任意の1又

は複数のもののみを一括して消去可能としたので、内部記憶素子のうちの一部についてのみ書き換えを行なう場合に、必要な部分のみの消去及び書き換えを行って、それに要する時間を無駄のない極力短いものとすることができます。

4. 図面の簡単な説明

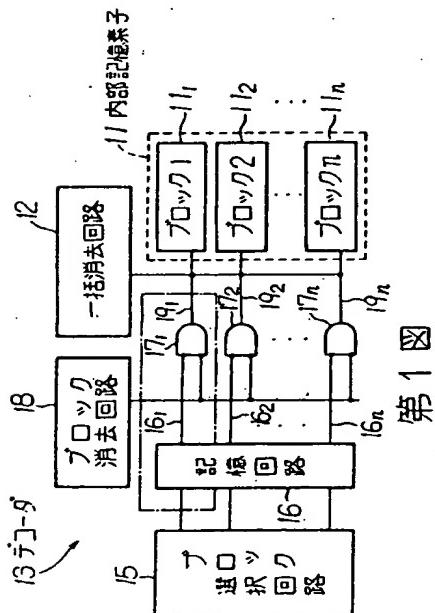
第1図は本発明の一実施例の要部を示すブロック図、第2図はその一部を具体化した回路図、第3図及び第4図はそのそれぞれ異なる具体例を示す回路図、第5図は従来例のブロック図である。

11…内部記憶素子、11₁～11_n…ブロック、13…デコード、15…ブロック選択回路、16…記憶回路、18…ブロック消去回路。

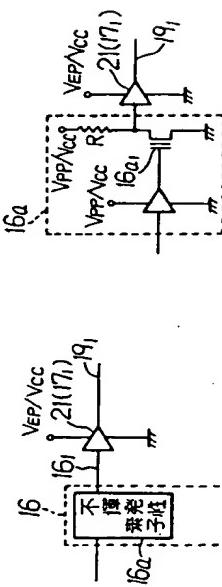


第5図

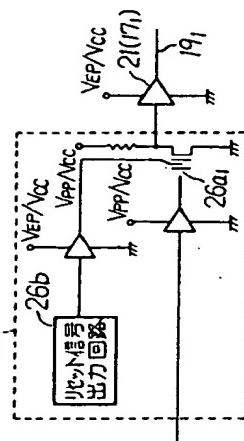
出願人代理人 佐藤 一雄



第1図



第2図



第3図

第4図

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox